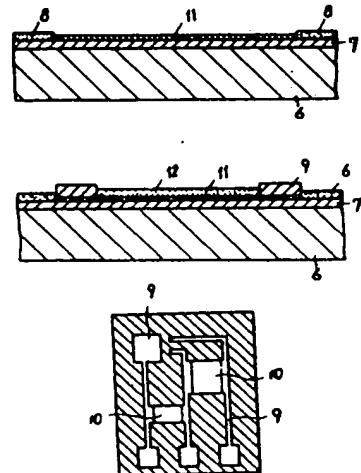


(54) HYBRID INTEGRATED CIRCUIT

(11) 57-23256 (A) (43) 6.2.1982 (19) JP
(21) Appl. No. 55-70556 (22) 26.5.1980
(71) SANYO DENKI K.K.(1) (72) AKIRA KAZAMI
(51) Int. Cl. H01L27/01//H01C17/06

PURPOSE: To prevent disconnection of a resistor and increase productivity, by forming a certain thickness of an Ni-plated layer in a region to form conductive paths and resistors on a substrate so that a desired resistance value can be obtained, and by accumulating a conductive layer on the plated layer, with a resistor region marked.

CONSTITUTION: An insulating layer 7 is provided on an Al substrate 6 by anode oxidation, for example, in a manufacturing process to provide Ni-resistors 10 between conductive paths 9 on a circuit board. A resist layer 8 is formed in other region than the conductive paths 9 and the resistors 10 on the insulating layer 7. Next, after an Ni-plated layer 11 is formed in a designated thickness by nonelectrolytic plating, a resist layer 12 is formed on a plated layer on the resistance 10 region, and the conductive paths 9 are formed by nonelectrolytic plating of Ni or Cu. Next, the resist layers 8 and 12 are removed, and the resistors 10 are completed with connection to the conductive paths 9. This eliminates an end gap of the resistors 10 and prevents disconnection in thinning the Ni-layer 11. In addition, the process can be simplified because any copper foil or the like is not used for the conductive paths.



257/537

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑩ 公開特許公報 (A)

昭57-23256

⑤ Int. Cl.³
H 01 L 27/01
H 01 C 17/06

識別記号
厅内整理番号
6370-5F
6730-5E

⑥ 公開 昭和57年(1982)2月6日
発明の数 1
審査請求 未請求

(全3頁)

⑦ 混成集積回路

⑧ 特 願 昭55-70556
⑨ 出 願 昭55(1980)5月26日
⑩ 発明者 風見明

群馬県邑楽郡大泉町大字坂田18
0番地東京三洋電機株式会社内

⑪ 出願人 三洋電機株式会社
守口市京阪本通2丁目18番地
⑫ 出願人 東京三洋電機株式会社
群馬県邑楽郡大泉町大字坂田18
0番地
⑬ 代理人 弁理士 佐野静夫

明細書

1. 発明の名称 混成集積回路

2. 特許請求の範囲

1. 混成集積回路基板の一主面に導電路が形成され、所定の導電路間に母抗体が形成されて成る混成集積回路に於いて、前記混成集積回路基板上の導電路及び母抗体が形成されるべき部分にニッケルメッキ層を前記母抗体が所定の抵抗値となる厚さに形成し、前記母抗体となる部分を除いた前記ニッケルメッキ層上に導体を接着し導電路を形成したことを特徴とする混成集積回路。

3. 発明の詳細な説明

本発明は混成集積回路に関し、特に混成集積回路基板上に形成される母抗体をニッケルメッキに依って形成した混成集積回路に関するもの。

一般に混成集積回路基板にはセラミックあるいは熱伝導性の良い金属、例えばアルミニウム、が用いられ、基板上の所定の導電路にはカーボン粒子の混入されたペーストを印刷することに依って母抗体が形成される。しかしカーボンを用いた

母抗体では数オーム以下の母抗体を作るのが困難であったが、この点を改良して母抗体をニッケルメッキで形成する技術が開発された。

第1図は金基板上にニッケルメッキに依って母抗体を形成したものである。金基板(1)はアルミニウムが用いられ、アルミニウムの表面を腐蝕酸化することによって酸化アルミニウムの絶縁薄層(2)を形成し、この絶縁薄層(2)上に絶縁を被ねる樹脂(3)で樹脂を接着し、塩化第2鉄等のエッチング液に依って樹脂を除去し所望のパターンに導電路(4)を形成する。導電路(4)上的一部分には半導体粒子(図示せず)等が固定され、更に所定の導電路(4)には一部を重複して母抗体(5)がニッケルメッキに依って形成されている。しかし母抗体(5)の抵抗値を高くするためにはニッケルメッキの厚さを非常に薄くしなければならないため、導電路(4)と重複する部分に生じる段差に依って断線する危惧を有していた。また導電路(4)は母抗体(5)の形成前に設けられるために母抗体(5)に段差が生じるのであり、更に導電路(4)は金基板(1)上的一面に設け

られた銅箔をエッチング除去して形成するため、
その工程数が多くなり生産性の向上に大きな障害
となっていた。

本発明は上述した点に鑑みて為されたものであり、従来の欠点を完全に除去した成形複雑回路を提供するものである。以下凹面を参照して本発明を詳細に説明する。

第2図4、B、Cは本発明の実施例を示す工程別断面図であり、(6)は金属基板、(7)は絶縁薄層である。金属基板(6)は熱伝導性の良いアルミニウムから成り、金属基板(6)の一方の面には絶縁薄層(7)が形成されている。絶縁薄層(7)は金属基板(6)の表面を陽極酸化して絶縁物である酸化アルミニウムを設計したものである。

第2図Aに於いて、絶縁薄層(7)上の所定部分にレジスト(8)を塗布する。例えば第3図に示される様なパターンを得る場合には、レジスト(8)は導電路(9)及び抵抗体(10)が形成されるべき部分を除いた斜線で示される絶縁薄層(7)上にスクリーン印刷等に依つて塗布される。次にレジスト(8)の塗布され

成する場合には無電解樹脂ツキ液に金屬基板(6)を浸し離出したニッケルメツキ層の上に鋼を十分な厚さに析出せる。ニッケルあるいは鋼のいずれに於いても下地となるニッケルメツキ層のニッケルが目撃操作作用を有するためニッケルあるいは鋼が析出しやすく、また形成された導電路(3)との接着性が確固となるのである。

第2図Cに於いて、絶縁層(7)及びニッケルメツキ層(8)上に塗布されたレジスト(8.03)をトリクレン等の浴槽で除去し、更に表面をブラッシングすることによってニッケルメツキ層(8)及び導電路(9)の端部のバリを除去し、第2図Cに示される構造を得る。従って抵抗体(10)は最初の工程でニッケルメツキ層(8)に依って形成され、導電路(9)はニッケルメツキ層(8)上に無電解メツキに依って形成されるため、抵抗体(10)は段部を生じることなく形成される。

上述の如く本発明に依れば抵抗体を形成するニッケルメタキ層を導電路の形成される基板上にも設け、ニッケルメタキ層上に導電路を無電解メタ

てない绝缘層(7)上にニッケルメッキ層⑩を形成する。ニッケルメッキ層⑩は硬化ニッケル及び次亜リン酸ソーダ等から成る無電解ニッケルメッキ板に金属性板(6)を被すことによってニッケルがレジスト⑧の塗布されてない绝缘層(7)上に析出して得られる。このニッケルメッキ層⑩の厚さは無電解ニッケルメッキ液の温度、濃度及び時間に依って制御され、これらを適当に設定することにより、此抗体⑨の抵抗値が所定の値となる様にニッケルメッキ層⑩を形成する。

各この旨に於いて、ニッケルメッシュ層⑩上の一
部にレジスト⑪を定位する。則ち第3図に依れば
レジスト⑪は点線で示された抗体⑫を被覆して
居るこれらものであり、導電路⑨に沿つて
ソカルメッシュ層⑩は露出される。この露出したニ
ッケルメッシュ層⑩上にニッケルあるいは銅に依つ
て導電路⑨を形成する。導電路⑨をニッケルで形
成する場合には前述と同様に無電解ニッケルメッ
キ液に浸し、十分な厚さにニッケルを析出させ母
坑をほとんど無視できるまでにする。また銅で形

それに依つて形成することに依り、母抗体に段階が
形成されず断線が全く無くなると共に導電路を形
成するための細孔のエッティング工程が無くなり工
業性が大幅に減少し生産性が向上するものである。
また本発明の実施例ではアルミニウムの金属墨版を
用いたが、成膜積層回路基板は金属に限らずセラ
ミック等を用いても同様の効果を奏するものであ
る。

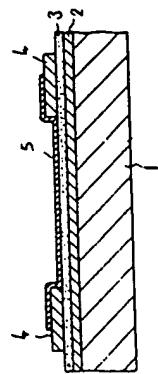
4. 画面の簡単な説明

第 1 図は従来例を示す混成導線回路の一部断面図、第 2 図 A、B、C は本発明の実施例を示す工具別一既断面図、第 3 図は第 2 図 A、B、C に示された実施例に依つて作られるパターン図である。

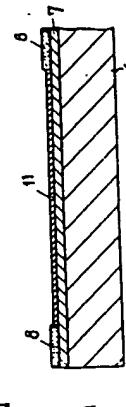
(6)…金屬基板、(7)…絶縁薄層、(8)…レジスト、
(9)…導電路、(10)…抵抗体、(11)…ニッケルメタキ層、(12)…レジスト。

出願人 三井電機株式会社 外1名

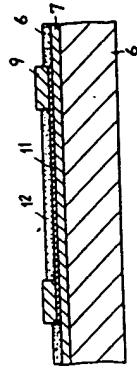
代理人 弁理士 佐野静



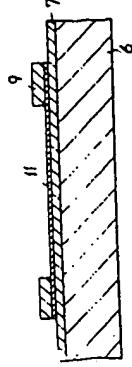
第1図



第2図



B



第3図

THIS PAGE BLANK (USPTO)